

学校编码: 10384

分类号_____密级_____

学号: 23020061152429

UDC _____

厦门大学

硕士学位论文

基于 FPGA 的 PCI 软核模块
的研究与实现

Research and Implementation on PCI Core module

Based on FPGA

周雷

指导教师姓名: 陆 达 教授

专 业 名 称: 计算机系统结构

论文提交日期: 2009 年 月

论文答辩时间: 2009 年 月

学位授予日期: 2009 年 月

答辩委员会主席: _____

评 阅 人: _____

2009 年 月

厦门大学博硕士论文摘要库

厦门大学学位论文原创性声明

本人呈交的学位论文是本人在导师指导下,独立完成的研究成果。本人在论文写作中参考其他个人或集体已经发表的研究成果,均在文中以适当方式明确标明,并符合法律规范和《厦门大学研究生学术活动规范(试行)》。

另外,该学位论文为()课题(组)的研究成果,获得()课题(组)经费或实验室的资助,在()实验室完成。(请在以上括号内填写课题或课题组负责人或实验室名称,未有此项声明内容的,可以不作特别声明。)

声明人(签名):

年 月 日

厦门大学博硕士论文摘要库

厦门大学学位论文著作权使用声明

本人同意厦门大学根据《中华人民共和国学位条例暂行实施办法》等规定保留和使用此学位论文，并向主管部门或其指定机构送交学位论文（包括纸质版和电子版），允许学位论文进入厦门大学图书馆及其数据库被查阅、借阅。本人同意厦门大学将学位论文加入全国博士、硕士学位论文共建单位数据库进行检索，将学位论文的标题和摘要汇编出版，采用影印、缩印或者其它方式合理复制学位论文。

本学位论文属于：

（ ） 1. 经厦门大学保密委员会审查核定的保密学位论文，
于 年 月 日解密，解密后适用上述授权。

（ ） 2. 不保密，适用上述授权。

（请在以上相应括号内打“√”或填上相应内容。保密学位论文应是已经厦门大学保密委员会审定过的学位论文，未经厦门大学保密委员会审定的学位论文均为公开学位论文。此声明栏不填写的，默认为公开学位论文，均适用上述授权。）

声明人（签名）：

年 月 日

厦门大学博硕士论文摘要库

摘要

本课题是在课题组已实现的高速串行通信平台的基础上，进一步引伸，设计开源的 PCI 软核通信模块替代 Xilinx 公司提供的 LogiCORE PCI 核，力求在从模式下，做到占用资源更少，传输速度更快，也为以后实现更完整的功能提供平台。

本文以此为背景，基于 FPGA 平台，搭建以开源的 PCI 软核为核心的串行通信接口平台，使其成为 PCI 总线与用户逻辑之间的桥梁，使用户逻辑避开与复杂的 PCI 总线协议。本课题采用 Spartan-II FPGA 芯片 XC2S200-6FG456C 系统开发板作为串行通信接口的硬件实验平台，实现了支持配置读/写交易、单数据段读/写、突发模式读/写、命令 / 地址译码功能和数据传送错误检测与处理功能的 PCI 软核。

本文主要阐述了以 PCI 软核为核心的串行通信平台的实现，首先介绍了 PCI 软核的编程语言、软件工具和硬件实验平台 Spartan-II FPGA 芯片 XC2S200-6FG456C 系统开发板。然后，介绍了 PCI 总线命令、PCI 软核所支持的功能、PCI 软核两侧信号的定义、PCI 软核配置模块以及探讨了 PCI 软核的状态机接收、发送数据等过程，分析了 PCI 软核的数据收发功能仿真，主要包括配置读/写交易、单数据段模式读/写和突发模式读/写的仿真图形，并阐述了管脚约束的操作流程。最后介绍 PCI 软核模块的 WDM 驱动，内容包括驱动程序简介、驱动程序的开发、中断处理、驱动程序与应用程序之间的通信以及应用程序操作。最后，对 PCI 软核的各种性能进行了比较分析。整个模块设计紧凑，完成在实验平台上的数据发送。

设计选用硬件描述语言 VerilogHDL，在开发工具 Xilinx ISE7.1 中完成整个系统的设计、综合、布局布线，利用 Modelsim 进行功能及时序仿真，使用 DriverWorks 为 PCI 软核编写 WinXP 下的驱动程序，用 VC++ 6.0 编写相应的测试应用程序。之后，将 FPGA 设计下载到 Spartan-II FPGA 芯片 XC2S200-6FG456C 系统开发板中运行。

文章最后指出工作中的不足之处和需要进一步完善的地方。

关键字：FPGA；PCI 软核；PCI；WDM 驱动；

厦门大学博硕士论文摘要库

Abstract

On the basis of achieved high-speed serial communication platform, for further research, this experiment is to design an open-source PCI core which is as a substitute for Xilinx LogiCORE PCI Core, in order to make PCI core occupy less resources and get faster transferring speed under target mode. Besides, it is also to make a platform for future research on PCI core new functions.

Under this background, based on FPGA, PCI core as the key part of the Serial Communication Interface is designed to be the bridge between PCI Bus interface and user logic interface, making user logic avoid the complicated PCI Bus protocol. The XC2S200-6FG456C system development board of Spartan-II FPGA chip is used as the Serial Communication Interface hardware experimental platform. In this experiment, a PCI core which support configuration read / write transactions, single-cycle mode read / write, burst-mode read / write, command / address decoding function and data transmission error detection and treatment function is designed.

This paper demonstrates how to design the Serial Communication platform whose key part is the PCI core. Firstly, it introduces programming language, software and hardware platform of the XC2S200-6FG456C system development board of Spartan-II FPGA chip. Then, it tells the PCI bus command, PCI core supported functions, the definition signals of PCI core both sides and configuration module of PCI core. Besides, this paper investigates the receiving and sending data process of PCI core state machine and analyzes the PCI core data function simulation graphics of configuration read / write transactions, single-cycle mode read / write and burst-mode read / write transmission. Other than this, it tells the operation of pin-bound flow. Finally, it introduces the WDM driver of PCI core, including introduction of driver, driver development, interruption, communication between driver and application and the analysis results of application. Finally, compared with Xilinx LogiCORE PCI Core, several performances of PCI core are analyzed. The design of this module is compact and it accomplishes the sending and

receiving data process.

This design uses Verilog HDL and Xilinx ISE7.1 to complete the design, synthesis, place&route, and processes function and timing simulation in Modelsim, to analyze the design online. The WinXP driver for PCI Core Communication Interface is written by using DriverWorks and uses VC++ 6.0 to develop the test program. Finally, the system is downloaded to the XC2S200-6FG456C experiment board and work well after being verified and implemented.

This paper points out the problems and the further work at the end of this thesis.

Key Words: FPGA; PCI CORE ; PCI; WDM;

目录

第一章 绪论	1
1.1 概述	1
1.2 项目来源及意义	2
1.3 研究内容	2
1.4 本文的组织结构	3
第二章PCI软核开发背景介绍	5
2.1 PCI软核编程语言Verilog HDL.....	5
2.1.1 Verilog HDL简介	5
2.1.2 Verilog HDL设计方法.....	6
2.2 PCI软核软件开发工具	8
2.2.1 集成开发环境ISE.....	8
2.2.2 仿真工具ModelSim SE.....	10
2.2.3 集成化逻辑分析工具ChipScope Pro	13
2.3 PCI软核硬件FPGA实验平台.....	13
2.3.1 Spartan-II系列FPGA芯片性能	14
2.3.2 Spartan-II FPGA芯片XC2S200-6FG456C	17
2.3.3 Spartan-II FPGA的配置	18
第三章 基于FPGA的PCI软核模块设计及仿真	21
3.1 PCI总线简介.....	21
3.1.1 PCI 总线的特点	21
3.1.2 PCI总线接口常用实现方法	22
3.1.3 PCI总线命令	24
3.2 PCI软核模块设计.....	25
3.2.1 PCI软核两侧信号简介	26
3.2.2 PCI软核配置模块	29
3.2.3 配置交易.....	32

3.2.4 存储器和I/O寻址	33
3.2.5 PCI软核状态机分析	34
3.3 PCI软核数据收发功能仿真	36
3.3.1 配置交易模式仿真.....	36
3.3.2 单数据段模式仿真.....	38
3.3.3 突发模式仿真.....	40
3.4 管脚配置	43
第四章 PCI软核驱动程序设计及性能分析	47
4.1 驱动程序简介	47
4.2 驱动程序开发	50
4.2.1 驱动设计流程简介.....	50
4.2.2 中断处理.....	53
4.2.3 驱动程序设置.....	55
4.2.4 部分驱动程序代码.....	57
4.3 PCI软核应用程序.....	58
4.4 PCI软核比较性能分析	60
4.4.1 PCI软核传输速度比较分析	60
4.4.2 PCI软核支持功能比较分析	62
4.4.3 PCI软核占用资源比较	63
第五章 结束语	65
5.1 工作总结	65
5.2 存在问题和今后工作	65
参考文献	67
攻读硕士学位期间发表的论文	69
致谢.....	71

Table of Contents

Chapter 1. Introduction.....	1
1.1 Overview	1
1.2 Abouts.....	2
1.3 Contents	2
1.4 Organization.....	3
Chapter 2. Digital System Design Principle	5
2.1 Programming Language Verilog HDL.....	5
2.1.1 Verilog HDL Introduction	5
2.1.2 Verilog HDL Design Method	6
2.2 PCI Core Software Development Tools.....	8
2.2.1 ISE.....	8
2.2.2 ModelSim SE	10
2.2.3 ChipScope Pro	13
2.3 Experimental platform	13
2.6.1 Spartan-II Series FPGA Performance	14
2.6.2 Spartan-II Series FPGA XC2S200-6FG456C.....	17
2.6.3 Configuration Of FPGA.....	18
Chapter 3. PCI Core Design and Simulation Based on FPGA.....	21
3.1 PCI Bus Overview.....	21
3.1.1 PCI Bus Characteristic	21
3.1.2 PCI Interface Implementation Methods.....	22
3.1.3 PCI Bus Command	24
3.2 PCI Core Design.....	25
3.2.1 PCI Core Signals Introduction	26

3.2.2 PCI Core Configuration Module.....	29
3.2.3 Configuration Transaction	32
3.2.4 Memory And I/O Decoding	33
3.2.5 PCI Core State Machine Analyzing	34
3.3 PCI Core Simulation.....	36
3.3.1 Configuration Transaction Simulation.....	36
3.3.2 Single Transacation Simulaiton	38
3.3.3 Burst Transaction Simulation.....	40
3.4 Pin Configuration	43
Chapter 4. PCI Core Driver and Analysis.....	47
4.1 About Driver.....	47
4.2 Driver Design.....	50
4.2.1 Driver Design Process Introduction.....	50
4.2.2 Interrupt Server Process.....	53
4.2.3 Settings.....	55
4.2.4 Part Of The Driver Code.....	57
4.3 PCI Core Applications.....	58
4.4 PCI Core Performance Analysis.....	60
4.3.1 Transaction Performance	60
4.3.2 Supported Functions	62
4.3.3 Occupied Resources.....	63
Chapter 5. Conclusion	65
5.1 Summary.....	65
5.2 Further Work	65
Bibliography	67
Paper and Research	69
Acknowledge.....	71

第一章 绪论

1.1 概述

可编程逻辑器件随着微电子制造工艺的发展取得了长足的进步, 现已发展成为可以完成超大规模的复杂组合逻辑与时序逻辑的现场可编辑逻辑器件FPGA。新一代的FPGA甚至集成了中央处理器内核和多吉比特高速串行通信接口MGT (Multi-Gigabit Transceiver), 可在一片FPGA上进行软硬件协同设计, 为实现片上可编程系统SOPC提供了强大的硬件支持。FPGA具有许多优点^{[1][2]}, 既继承了ASIC (专用集成电路) 的大规模、高集成度、高可靠性的优点, 又克服了普通ASIC设计周期长、投资大、灵活性差的缺点, 逐步成为复杂数字硬件电路设计的理想首选。FPGA可以方便地通过对逻辑结构的修改和配置, 完成对系统和设备的升级, 以便迅速适应市场的变化; FPGA可以支持多种通信协议和接口标准, 并可以随着标准和协议的演变而改变功能。因此采用配置灵活的FPGA担任不同I/O的高速转换装置, 设计高速串行接口可以带来很大的灵活性。

90年代, 随着图形处理技术和多媒体技术的广泛应用, 在以Windows为代表的图形用户接口(GUI)进入PC机之后, 要求有高速的图形描绘能力和I/O处理能力。这不仅要求图形适配卡要改善其性能, 也对总线的速度提出了挑战。实际上当时外设的速度已有了很大的提高, 如硬磁盘与控制器之间的数据传输率已达10MB/s以上, 图形控制器和显示器之间的数据传输率也达到69MB/s。通常认为I/O总线的速度应为外设速度的3-5倍。因此原有的ISA、EISA已远远不能适应要求, 而成为整个系统的主要瓶颈。因此对总线提出了更高的性能要求, 从而促使了总线技术进一步发展。1991年下半年, Intel公司首先提出了PCI的概念, 并联合IBM、Compaq、AST、HP、DEC等100多家公司成立了PCI集团。PCI是一种先进的局部总线, 已成为局部总线的新标准。然而, PCI总线协议复杂, 如果用户侧和PCI总线进行数据传输, 必须掌握复杂的PCI总线协议。为了方便数据传输, 本课题研究基于FPGA的PCI软核模块通信接口, 用于作为用户侧与PCI总线侧的桥梁, 这样的接口模块具有设计周期短、修改

性强、升级方便等特点，并可以使用户避开复杂的 PCI 总线协议进行交易。

1.2 项目来源及意义

本课题在课题组已经搭建的 SCI 串行通信接口基础上，基于 FPGA，开发可以替代 Xilinx 公司所提供封装的 LogiCORE PCI Core 并完全开源的 PCI 软核，以达到传输速度更快，并且作为以后开发功能更加强大的 PCI 软核的平台。根据分析 Xilinx 公司所提供封装的 LogiCORE PCI Core 功能强大、内部协议复杂，个人无法在短时间内开发出各项技术都非常成熟的 PCI 软核。因此，针对目前的实验需求，本课题力求开发出在从模式下，具有占用资源小、数据传输速度快和功能针对性强的 PCI 软核。并搭建以 PCI 软核为核心的串行通信接口平台，使其成为 PCI 总线与用户逻辑之间的桥梁，避开用户逻辑与 PCI 总线直接打交道。

本课题采用 Verilog 做为编程语言，Xilinx ISE 作为集成开发环境，ModelSim SE 作为仿真工具，并以 Spartan-II FPGA XC2S200-6FG456C 系统开发板作为通信接口的核心控制芯片，实现了支持配置读/写交易、单数据段读/写、猝发模式读/写和命令 / 地址译码功能的 PCI 软核，对 PCI 软核的数据发送与接收进行了模拟仿真，并设计研发其驱动程序和应用程序，最后在传输速度、支持功能以及占用资源等方面，对比 Xilinx 公司所提供的 LogiCORE PCI Core，对本课题所实现的 PCI 软核进行了性能分析。

1.3 研究内容

本课题的工作内容包括以下几个方面：

1. 根据课题的具体要求，选择合适的芯片，学习并应用 PCI 总线协议；
2. 设计实现了支持配置读/写交易、单数据段读/写、突发模式读/写和命令 / 地址译码功能，并具有数据传送错误检测与处理功能的 PCI 软核；
3. PCI 软核的数据发送与接收功能仿真及分析；
4. 编写 PCI 软核下载板卡的驱动程序及应用程序；
5. 最后，对比 Xilinx 公司所提供的 LogiCORE PCI Core，对本课题所实现

Degree papers are in the "[Xiamen University Electronic Theses and Dissertations Database](#)". Full texts are available in the following ways:

1. If your library is a CALIS member libraries, please log on <http://etd.calis.edu.cn/> and submit requests online, or consult the interlibrary loan department in your library.
2. For users of non-CALIS member libraries, please mail to etd@xmu.edu.cn for delivery details.

厦门大学博硕士论文摘要库